

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Sung-Hee HWANG

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: January 21, 2004

Examiner: Unassigned

For: APPARATUS TO GENERATE A BIT CLOCK AND A METHOD OF GENERATING THE
BIT CLOCK

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Korean Patent Application No(s). 2003-4098

Filed: January 21, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: January 21, 2004

By: 

Michael D. Stein
Registration No. 37,240

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0004098
Application Number

출원 년 월 일 : 2003년 01월 21일
Date of Application JAN 21, 2003

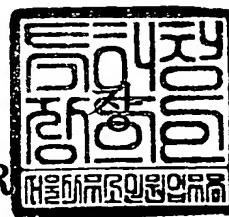
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0006		
【제출일자】	2003.01.21		
【국제특허분류】	G11B		
【국제특허분류】	H04N		
【발명의 명칭】	비트 클럭 발생 장치 및 방법		
【발명의 영문명칭】	Apparatus for generating bit clock and method thereof		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	이영필		
【대리인코드】	9-1998-000334-6		
【포괄위임등록번호】	2003-003435-0		
【대리인】			
【성명】	이해영		
【대리인코드】	9-1999-000227-4		
【포괄위임등록번호】	2003-003436-7		
【발명자】			
【성명의 국문표기】	황성희		
【성명의 영문표기】	HWANG, Sung Hee		
【주민등록번호】	700925-1915216		
【우편번호】	135-240		
【주소】	서울특별시 강남구 개포동 189 주공아파트 420동 403호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영필 (인) 대리인 이해영 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	17	면	17,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	46,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 디지털 데이터를 생성하는 기능을 갖춘 시스템에 있어서 생성되는 디지털 데이터에 에러가 포함되어도 생성된 디지털 데이터에 동기된 비트 클록을 정확하게 발생하기 위한 장치 및 방법이다.

본 발명에 따른 장치는, 디지털 신호의 에지를 검출하는 에지 검출부를 포함한다. 또한, 본 발명에 따른 장치는 제 1 소정 구간(제 1 윈도우 신호 구간)내에서 상기 에지가 검출되는 횟수를 카운트하는 제 1 에지 카운터와 제 2 소정 구간(제 2 윈도우 신호 구간)내에서 상기 에지가 검출되는 횟수를 카운트하는 제 2 에지 카운터를 포함한다. 그리고, 본 발명에 따른 장치는 제 1 소정 구간내에서 에지가 검출되면 리셋되어 시스템 클록을 카운트하는 제 1 카운터, 제 1 에지 카운터의 카운트 값과 제 2 에지 카운터의 카운트 값중 하나의 카운트 값이 제 1 소정 값에 도달하면, 제 1 카운터의 카운트 값과 1 채널 비트 단위중 하나에 의해 비트 클록을 발생하는 비트 클록 발생부를 포함한다.

이와 같이 복수개의 윈도우 구간으로 디지털 신호의 에지를 검출함으로써, 디지털 신호에 에러가 포함되어 있어도 디지털 신호에 동기된 비트 클록을 정확하게 발생시킬 수 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

비트 클록 발생 장치 및 방법{Apparatus for generating bit clock and method thereof}

【도면의 간단한 설명】

도 1은 본 발명에 따른 비트 클록 발생장치의 기능 블록 도이다.

도 2는 도 1에 도시된 상태 관리부에서 관리하는 비트 클록 발생장치의 상태 다이어그램이다.

도 3은 비트 클록 언 락 상태일 때, 도 1의 비트 클록 발생 장치의 동작 타이밍 도이다.

도 4는 비트 클록 락 준비 상태일 때, 도 1의 비트 클록 발생장치의 동작 타이밍 도이다.

도 5는 비트 클록 락 상태일 때, 도 1의 비트 클록 발생장치의 동작 타이밍 도이다.

도 6은 본 발명에 따른 비트 클록 발생장치를 디스크 구동기에 적용한 예이다.

도 7은 본 발명에 따른 비트 클록 발생 방법의 동작 흐름 도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 비트 클록 발생 장치 및 방법에 관한 것으로, 특히, 디지털 데이터 생성 시스템에 있어서 발생하는 디지털 데이터에 동기 된 비트 클록을 발생하는 장치 및 방법에 관한 것이다.

- <9> 디지털 데이터 생성 시스템은 예를 들어 디스크 구동기를 들 수 있다. 디지털 데이터 생성 시스템은 생성된 디지털 데이터에 동기 된 비트 클록을 발생시켜 내부적인 신호 처리에 이용할 수 있다. 예를 들어, 디스크 구동기의 경우에 재생되는 디지털 데이터에 동기 된 비트 클록 신호를 발생하여 디코딩 시 이용한다.
- <10> 그러나, 기존의 비트 클록 발생장치는 재생되는 디지털 데이터에 에러가 존재하는 경우를 고려하지 않고 있다. 따라서, 생성되는 디지털 데이터에 에러가 존재할 경우에, 잘못된 비트 클록 신호가 발생될 수 있다.
- <11> 예를 들어, 디스크 구동기의 경우에, 디스크에 스크래치, 지문 또는 먼지 등이 존재할 경우에, 재생되는 데이터에 에러가 포함될 수 있다. 상기 에러로 잘못된 비트 클록이 발생되면, 디스크 구동기에 구비되어 있는 디코더에서 재생되는 데이터에 대한 에러 정정을 수행한다 하여도 재생되는 신호에 에러가 발생될 수 있다.

【발명이 이루고자 하는 기술적 과제】

- <12> 따라서 본 발명은 디지털 데이터를 생성하는 기능을 갖춘 시스템에 있어서 생성되는 디지털 데이터에 동기 된 비트 클록을 정확하게 발생하기 위한 비트 클록 발생 장치 및 방법을 제공하는데 그 목적이 있다.
- <13> 본 발명의 다른 목적은 디지털 데이터를 생성하는 기능을 갖춘 시스템에 있어서 생성되는 디지털 데이터에 에러가 포함되어도 생성된 디지털 데이터에 동기 된 비트 클록을 정확하게 발생하기 위한 장치 및 방법을 제공하는데 있다.

- <14> 본 발명의 또 다른 목적은 디스크 구동기에 있어서, 디스크에서 재생되는 데이터에 에러가 포함되어도 상기 재생되는 데이터에 대한 비트 클럭을 정확하게 발생하기 위한 장치 및 방법을 제공하는데 있다.
- <15> 상기 목적들을 달성하기 위하여 본 발명에 따른 디지털 신호에 대한 비트 클럭 발생 장치에 있어서, 상기 디지털 신호의 에지를 검출하는 에지 검출부; 제 1 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하는 제 1 에지 카운터; 제 2 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하는 제 2 에지 카운터; 상기 제 1 소정 구간내에서 상기 에지가 검출되면 리셋되어 시스템 클럭을 카운트하는 제 1 카운터; 상기 제 1 에지 카운터의 카운트 값과 제 2 에지 카운터의 카운트 값중 하나의 카운트 값이 제 1 소정 값에 도달하면, 상기 제 1 카운터의 카운트 값과 1 채널 비트 단위중 하나에 의해 비트 클럭을 발생하는 비트 클럭 발생부를 포함하는 것이 바람직하다.
- <16> 상기 제 1 에지 카운터는 상기 제 1 소정 구간 밖에서 에지가 검출되면, 검출된 에지를 무시하고, 상기 제 2 에지 카운터는 상기 제 2 소정 구간 밖에서 에지가 검출되면, 검출된 에지를 무시하는 것이 바람직하다.
- <17> 상기 비트 클럭 발생부는 상기 1 채널 비트 단위보다 상기 제 1 카운터의 카운트 값에 우선권을 부여하여 비트 클럭을 발생하는 것이 바람직하다. 상기 제 1 소정 구간은 상기 제 1 카운터의 카운트 값에 의존하여 설정되는 것이 바람직하다.
- <18> 상기 에지 검출부에서 상기 디지털 신호의 첫 번째 에지가 검출되면, 상기 제 1 카운터는 리셋되어 상기 시스템 클럭을 카운트하고, 상기 제 1 소정 구간내에서 에지가 검출될 때마다 상기 제 1 카운터는 리셋되는 것이 바람직하다.

- <19> 상기 비트 클록 발생장치는 상기 제 1 카운터의 카운트 값에 따른 제 1 윈도우 신호를
상기 제 1 소정 구간을 나타내는 신호로서 발생하고, 발생한 상기 제 1 윈도우 신호를 상기 제
1 에지 카운터로 출력하는 제 1 윈도우 신호 발생부를 더 포함하는 것이 바람직하다.
- <20> 상기 비트 클록 발생장치는 상기 첫 번째 에지가 검출된 후, 상기 제 1 윈도우 신호가
발생되는 구간 밖의 구간에서 첫 번째 에지가 검출되면 리셋되어 상기 시스템 클록을 카운트하
고, 상기 제 2 소정 구간내에서 상기 에지가 검출될 때마다 리셋되는 제 2 카운터를 더 포함하
는 것이 바람직하다.
- <21> 상기 제 2 소정 구간은 상기 제 2 카운터의 카운트 값에 의존하여 설정되는 것이 바람직
하다.
- <22> 상기 비트 클록 발생장치는, 상기 제 2 카운터의 카운트 값에 따른 제 2 윈도우 신호를
상기 제 2 소정 구간을 나타내는 신호로서 발생하고, 발생한 상기 제 2 윈도우 신호를 상기 제
2 에지 카운터로 출력하는 제 2 윈도우 신호 발생부를 더 포함하는 것이 바람직하다.
- <23> 상기 비트 클록 발생장치는 상기 제 1 카운터, 상기 제 2 카운터, 상기 에지 검출부, 상
기 제 1 에지 카운터 및 상기 제 2 에지 카운터의 출력을 모니터링하여 상기 비트 클록 발생장
치의 상태를 관리하는 상태 관리부를 더 포함하는 것이 바람직하다.
- <24> 상기 상태는 비트 클록 언 락 상태, 비트 클록 락 준비 상태 및 비트 클록 락 상태중 한
상태로 설정되는 것이 바람직하다.
- <25> 상기 상태 관리부는 상기 에지 검출부에서 입력되는 상기 디지털 신호에서 첫 번째 에지
를 검출하지 못하거나, 상기 비트 클록 락 준비 상태에서 상기 제 1 카운터의 카운트 값과 제
2 카운터의 카운트 값중 어느 하나가 제 2 소정 값에 도달하거나, 상기 비트 클록 락 상태에서

상기 제 1 카운터의 카운트 값이 제 3 소정 값에 도달하면, 상기 비트 클록 발생장치를 상기 비트 클록 언 락 상태로 설정하는 것이 바람직하다.

<26> 상기 상태 관리부는 상기 비트 클록 언 락 상태에서 상기 에지 검출부에서 첫 번째 에지가 검출되면, 상기 비트 클록 발생장치를 비트 클록 락 준비 상태로 설정하고, 상기 제 1 에지 카운터와 제 2 에지 카운터의 카운트 값중 어느 하나가 상기 제 1 소정 값에 도달하면, 상기 비트 클록 발생장치를 비트 클록 락 상태로 설정하는 것이 바람직하다.

<27> 상기 비트 클록 락 준비 상태에서 상기 비트 클록 발생부는 상기 제 1 카운터의 카운트 값과 1채널 비트 단위중 하나에 의해 비트 클록을 발생하는 것이 바람직하다.

<28> 상기 비트 클록 언 락 상태에서, 상기 비트 클록 발생부는 1채널 비트 단위로 비트 클록을 발생시키는 것이 바람직하다.

<29> 상기 비트 클록 발생장치는 상기 제 1 에지 카운터와 제 2 에지 카운터의 카운트 값중 하나의 카운트 값이 상기 제 1 소정 값에 도달하는지 모니터링하고, 상기 제 1 소정 값에 도달하면 상기 비트 클록 발생장치는 비트 클록 락 상태로 설정하는 상태 관리부를 더 포함하는 것이 바람직하다.

<30> 상기 또 다른 목적을 달성하기 위하여 본 발명에 따른 디스크 구동기에서 재생되는 디지털 데이터에 대한 비트 클록 발생장치에 있어서, 상기 디지털 신호의 에지를 검출하는 에지 검출부; 상기 에지 검출부에서 상기 디지털 신호의 첫 번째 에지가 검출된 후, 제 1 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하는 제 1 에지 카운터; 상기 첫 번째 에지가 검출된 후, 상기 제 1 소정 구간 밖의 구간에서 첫 번째 에지가 검출된 후, 제 2 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하는 제 2 에지 카운터; 상기 제 1 에지 카운터와 상기 제 2

에지 카운터의 카운트 값중 하나의 카운트 값이 제 1 소정 값에 도달하여 상기 비트 클록 발생 장치가 비트 클록 락 상태로 설정되면, 상기 제 1 카운터의 카운트 값과 1채널 비트 단위중 하나에 의해 비트 클록을 발생하는 비트 클록 발생부를 포함하는 것이 바람직하다.

<31> 상기 목적들을 달성하기 위하여 본 발명에 따른 디지털 신호에 대한 비트 클록 발생 방법에 있어서, 상기 디지털 신호의 에지를 검출하는 단계; 제 1 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하여 제 1 에지 카운트 값을 생성하는 단계; 제 2 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하여 제 2 에지 카운트 값을 생성하는 단계; 상기 제 1 에지 카운트 값과 제 2 에지 카운트 값중에 하나의 카운트 값이 제 1 소정 값에 도달하면, 비트 클록 락 상태를 설정하는 단계; 상기 비트 클록 락 상태에서 상기 제 1 소정 구간내에서 상기 에지가 검출될 때마다 리셋되어 시스템 클록을 카운트한 값과 1채널 비트 단위중 하나에 의해 비트 클록을 발생하는 단계를 포함하는 것이 바람직하다.

<32> 상기 목적들을 달성하기 위하여 본 발명에 따른 방법은, 디지털 신호에 대한 비트 클록 발생 방법에 있어서, 비트 클록 언 락 상태에서, 1채널 비트 단위로 비트 클록을 발생하는 단계; 상기 디지털 신호의 첫 번째 에지가 검출되면, 상기 비트 클록 언 락 상태를 비트 클록 락 준비 상태로 전환하는 단계; 상기 비트 클록 락 준비상태에서, 제 1 소정 구간내에서 상기 디지털 신호에서 검출되는 에지 횟수를 카운트하여 제 1 에지 카운트 값을 생성하는 단계; 상기 비트 클록 락 준비 상태에서 제 2 소정 구간내에서 상기 디지털 신호에서 검출되는 에지 횟수를 카운트하여 제 2 에지 카운트 값을 생성하는 단계; 상기 제 1 에지 카운트 값과 제 2 에지 카운트 값중 하나의 카운트 값이 제 1 소정의 값에 도달하면, 상기 비트 클록 락 준비상태에서 비트 클록 락 상태로 전환하는 단계; 상기 비트 클록 락 상태에서, 상기 제 1 소정 구간내에서

에지가 검출될 때마다 리셋되어 시스템 클록을 카운트 한 값과 1채널 비트 단위중 하나에 의해 비트 클록을 발생하는 단계를 포함하는 것이 바람직하다.

【발명의 구성 및 작용】

- <33> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세히 설명하기로 한다.
- <34> 도 1을 참조하면, 본 발명에 따른 비트 클록 발생 장치는 상태 관리부(101), 에지 검출부(102), 제 1 카운터(103), 제 1 윈도우 신호 발생부(104), 제 1 에지 카운터(105), 제 2 카운터(106), 제 2 윈도우 신호 발생부(107), 제 2 에지 카운터(108) 및 비트 클록 발생부(109)로 구성된다.
- <35> 상태 관리부(101)는 에지 검출부(102), 제 1 카운터(103), 제 2 카운터(106), 제 1 에지 카운터(105), 및 제 2 에지 카운터(108)의 출력을 모니터링 한 결과를 토대로 비트 클록 발생 장치의 현재 상태를 설정하고, 설정된 현재 상태를 제 1 카운터(103), 제 1 윈도우 신호 발생부(104), 제 1 에지 카운터(105), 제 2 카운터(106), 제 2 윈도우 신호 발생부(107), 제 2 에지 카운터(108) 및 비트 클록 발생부(109)로 통보한다. 본 발명에 따라 설정될 수 있는 상태는 비트 클록 언 락(unlock) 상태, 비트 클록 락 준비(lock ready) 상태, 비트 클록 락(lock)상태이다.
- <36> 즉, 도 2에 도시된 바와 같이 상태 관리부(101)는 비트 클록 발생장치가 비트 클록 언 락 상태(201)로 설정된 상태에서 에지 검출부(102)로부터 에지가 검출되지 않으면(에지 검출=0), 비트 클록 언 락 상태(201)를 유지한다.

- <37> 그러나, 비트 클록 언 락 상태(201)에서 에지 검출부(102)로부터 에지가 검출되면(에지 검출=1), 상태 관리부(101)는 비트 클록 언 락 상태(201)를 비트 클록 락 준비 상태(202)로 전환한다.
- <38> 비트 클록 락 준비 상태(202)에서 제 1 카운터(103)의 카운트 값이 N1보다 작고, 제 2 카운터(106)의 카운트 값이 N1보다 작고, 제 1 에지 카운터(105)의 카운트 값이 N2보다 작고, 제 2 에지 카운터(108)의 카운트 값이 N2보다 작으면, 상태 관리부(101)는 비트 클록 락 준비 상태(202)를 유지한다.
- <39> 그러나, 비트 클록 락 준비 상태(202)에서 제 1 카운터(103)의 카운트 값이 N1과 같거나 제 2 카운터(106)의 카운트 값이 N1과 같으면, 비트 클록 락 준비 상태(202)를 비트 클록 언 락 상태로 전환한다. 비트 클록 락 준비 상태(202)에서 제 1 에지 카운터(105)의 카운트 값이 N2와 동일하거나 제 2 에지 카운터(105)의 카운트 값이 N2와 동일하면 비트 클록 락 준비 상태(202)를 비트 클록 락 상태(203)로 전환한다.
- <40> 비트 클록 락 상태(203)에서 제 1 카운터(103)의 카운트 값이 N3보다 작으면, 상태 관리부(101)는 비트 클록 락 상태(203)를 유지한다. 그러나, 제 1 카운터(103)의 카운트 값이 N3과 같으면, 상태 관리부(101)는 비트 클록 락 상태(203)를 비트 클록 언 락 상태(201)로 전환한다. 상기 N1과 N3은 다른 값으로 설정되거나 같은 값으로 설정될 수 있다.
- <41> 상기 비트 클록 언 락 상태(201)에서, 도 1에 도시된 비트 클록 발생장치는 상태 관리부(101), 에지 검출부(102), 제 1 카운터(103) 및 비트 클록 발생부(109)를 동작시켜 비트 클록을 발생시킨다.

- <42> 즉, 에지 검출부(102)는 입력되는 디지털 신호의 에지를 검출한다. 에지 검출부(102)는 입력되는 디지털 신호의 폴링 에지(falling edge)와 라이징 에지(rising edge)중에서 하나를 기준으로 하여 에지를 검출한다. 예를 들어, 폴링 에지가 기준으로 설정되어 있으면, 에지 검출부(102)는 입력되는 디지털 신호의 폴링 에지를 검출한다. 라이징 에지가 기준으로 설정되어 있으면, 에지 검출부(102)는 입력되는 디지털 신호의 라이징 에지를 검출한다.
- <43> 에지 검출부(102)에서 상기 디지털 신호의 에지를 검출하지 못하면, 상태 관리부(101)는 비트 클록 발생장치를 비트 클록 언 락 상태(201)로 유지한다.
- <44> 비트 클록 언 락 상태(201)에서 제 1 카운터(103)는 1 채널 비트 단위로 리셋되면서 시스템 클록을 카운트한다.
- <45> 비트 클록 언 락 상태(201)에서 비트 클록 발생부(109)는 도 3에 도시된 바와 같이 비트 클록을 발생한다. 즉, 에지 검출부(102)에서 상기 디지털 신호의 에지를 검출하지 못하는 구간동안, 제 1 카운터(103)가 1채널 비트단위로 리셋 될 때마다 비트 클록을 발생한다.
- <46> 상기 비트 클록 언 락 상태에서 에지 검출부(102)가 상기 디지털 데이터의 에지를 처음으로 검출하면, 상태 관리부(101)는 비트 클록 발생장치의 상태를 비트 클록 언 락 상태(201)에서 비트 클록 락 준비 상태(202)로 전환시킨다. 또한, 도 3 및 도 4에 도시된 비트 클록 언 락 상태에서 비트 클록 락 준비 상태로 전환되는 시점에서와 같이 제 1 카운터(103)는 검출된 에지 신호에 동기되어 리셋 된 뒤, 시스템 클록을 카운트한다.
- <47> 비트 클록 락 준비 상태(202)에서, 제 1 카운터(103)는 비트 클록 언 락 상태(201)에서와 같이 1채널 비트 단위로 리셋되지 않는다. 제 1 카운터(103)의 카운트 값에 따라 발생하는 제 1 윈도우 신호 구간에서 에지가 검출되면 제 1 카운터(103)는 리셋된다.

- <48> 제 1 윈도우 신호 발생부(104)는 제 1 카운터(103)의 카운트 값에 의해 도 4에 도시된 바와 같이 윈도우 신호를 발생한다. 윈도우 신호의 발생 구간은 입력되는 디지털 신호의 최소 T에 따라 결정될 수 있다. 도 4는 최소 T가 2T인 경우이다. 따라서 제 1 윈도우 신호는 제 1 카운터(103)가 리셋 된 후, 첫 번째 T에서는 발생되지 않고, 두 번째 T부터 발생된다. 이와 같이 윈도우 신호가 발생하는 구간동안 에지가 검출되지 않으면, 비트 클록 발생부(109)는 도 4에 도시된 바와 같이 1채널 비트 단위로 비트 클록을 발생한다.
- <49> 그러나, 제 1 윈도우 신호 구간에서 에지가 검출되면, 도 4에 도시된 바와 같이 제 1 카운터(103)가 리셋되어 제 1 윈도우 신호는 도 4의 (401)지점과 같이 논리 상태가 변경되고, 비트 클록 발생부(109)는 1채널 비트 단위와 관계없이 비트 클록이 발생된다.
- <50> 제 1 에지 카운터(105)는 도 4에 도시된 바와 같이 제 1 윈도우 신호 발생부(104)에서 발생하는 윈도우 신호 구간동안 에지 검출부(102)에서 에지를 검출할 때마다 1씩 카운트한다. 에지 카운트 값은 상태 관리부(101)로 제공한다.
- <51> 제 2 카운터(106)는 제 1 카운터(103)를 리셋시키는 첫 번째 에지가 검출된 후, 제 1 윈도우 신호가 발생하는 구간 이외의 구간에서 첫 번째 에지가 검출되면, 리셋되어 시스템 클록을 카운트한다. 이를 위하여 제 2 카운터(106)는 에지 검출부(102)로부터 출력되는 에지 검출 여부 신호와 제 1 윈도우 신호 발생부(104)에서 발생하는 제 1 윈도우 신호를 수신한다. 이에 따라 도 4의 (402)지점에서 제 2 카운터(106)는 리셋된다.
- <52> 제 2 윈도우 신호 발생부(107)는 제 1 윈도우 신호 발생부(104)와 같이 제 2 카운터(106)의 카운트 값에 따라 제 2 윈도우 신호를 발생한다. 따라서 도 4에 도시된 바와 같이 제 2 윈도우 신호가 발생된다.

- <53> 또한 제 2 윈도우 신호가 발생하는 구간내에서 에지가 검출되면, 제 2 카운터(106)는 리셋되어 시스템 클록을 카운트한다. 이에 따라 제 2 윈도우 신호는 도 4의 (403)지점처럼 논리 상태가 변경된다. 제 2 윈도우 신호가 발생하는 구간동안 에지가 검출되면, 리셋되기 위하여, 제 2 카운터(106)는 제 2 윈도우 신호 발생부(107)에서 출력되는 제 2 윈도우 신호도 수신한다.
- <54> 제 2 에지 카운터(108)는 제 2 윈도우 신호 발생부(107)로부터 출력되는 제 2 윈도우 신호가 발생하는 구간동안에 에지 검출부(102)에서 에지를 검출할 때마다 1씩 카운트한다.
- <55> 이와 같이 비트 클록 락 준비 상태(202)에서 도 1에 도시된 비트 클록 발생 장치는 상태 관리부(101), 에지 검출부(102), 제 1 카운터(103), 제 1 윈도우 발생부(104), 제 1 에지 카운터(105), 제 2 카운터(106), 제 2 윈도우 신호 발생부(107), 제 2 에지 카운터(108) 및 비트 클록 발생부(109)가 동작된다. 그리고, 비트 클록 발생부(109)는 제 1 카운터(103)가 리셋될 때마다 비트 클록을 발생하고, 제 1 카운터(103)가 리셋되지 않는 구간에서는 1채널 비트 단위로 비트 클록을 발생한다. 이와 같이 비트 클록 발생부(109)는 1채널 비트 단위보다 제 1 카운터(103)의 카운트 값에 우선권을 부여한다.
- <56> 비트 클록 락 준비 상태에서, 상태 관리부(101)는 제 1 에지 카운터(105)와 제 2 에지 카운터(108)의 값을 모니터링 한다. 모니터링 결과, 제 1 에지 카운터(105)와 제 2 에지 카운터(108)의 카운트 값중에서 어느 하나가 소정의 값(N2)에 도달하면, 비트 클록 발생장치의 상태를 비트 클록 락 준비 상태에서 비트 클록 락 상태로 전환시킨다.
- <57> 즉, 도 5에 도시된 바와 같이 제 1 윈도우 신호 구간내에서 에지가 검출되어 카운트된 제 1 에지 카운트 값이 N2에 도달하면, 비트 클록 발생장치는 비트 클록 락 준비 상태에서 비트 클록 락 상태로 전환된다.

- <58> 또한, 비트 클록 락 준비 상태에서 제 1 윈도우 신호가 발생하는 구간동안 에지가 검출되지 않아, 제 1 카운터(103)의 카운트 값이 N1에 도달하거나 제 2 윈도우 신호가 발생하는 구간동안 에지가 검출되지 않아 제 2 카운터(106)의 카운트 값이 N1에 도달하지 않으면, 상태 관리부(101)는 비트 클록 발생 장치의 상태를 비트 클록 락 준비 상태에서 비트 클록 언 락 상태로 전환시킨다.
- <59> 비트 클록 락 상태(203)에서, 제 1 카운터(103)는 비트 클록 락 대기 상태(202)에서와 같이 제 1 윈도우 신호 발생 구간에서 에지가 검출될 때마다 리셋된다.
- <60> 비트 클록 발생부(109)는 제 1 카운터(103)와 카운트 값과 1 채널 비트 단위에 따라 비트 클록을 발생시킨다. 즉, 비트 클록 락 준비 상태(202)에서와 같이 제 1 카운터(103)가 리셋될 때마다 비트 클록을 발생시키고, 제 1 카운터(103)가 카운트하는 기간동안에는 1 채널 비트 단위에 따라 비트 클록을 발생시킨다. 이와 같이 비트 클록 락 상태(203)에서도 비트 클록 발생부(109)는 1채널 비트 단위보다 제 1 카운터(103)의 카운트 값에 우선권을 부여한다.
- <61> 비트 클록 락 상태(203)에서 비트 클록 발생장치는 상태 관리부(101), 에지 검출부(102), 제 1 카운터(103), 제 1 윈도우 신호 발생부(104)가 동작된다.
- <62> 상술한 바와 같이 도 1에 도시된 비트 클록 발생장치는 에지 검출부(102)에서 검출된 에지가 제 1 윈도우 신호 발생부(104)에서 발생하는 제 1 윈도우 신호가 발생하는 구간 또는 제 2 윈도우 신호 발생부(107)에서 발생하는 제 2 윈도우 신호가 발생하는 구간에 포함되지 않으면, 상기 검출된 에지를 무시한다.
- <63> 도 6은 본 발명에 따른 비트 클록 발생장치를 디스크 구동기에 적용한 예이다.

- <64> 시스템 제어부(608)가 서보부(609)를 통해 모터(610)를 제어하여 디스크(601)를 회전시키면서 픽업부(602)를 제어하면, 픽업부(602)는 디스크(601)로부터 데이터를 픽업하여 고주파 신호를 출력한다.
- <65> RF 증폭부(603)는 픽업부(602)로부터 출력되는 고주파 신호를 소정 치로 증폭하여 출력한다. DSP(604)는 입력되는 고주파 신호를 디지털 신호로 변환시킨다. 디지털 필터(605)는 디지털 신호에 포함되어 있는 잡음을 필터링한다. 디코더(606)는 필터링된 디지털 신호를 에러 정정하면서 디코딩한다. 이 때, 디코더(606)는 입력되는 비트 클록에 동기되어 디지털 신호를 디코딩한다.
- <66> 비트 클록 발생장치(607)는 도 1에 도시된 바와 같이 구성된다. 비트 클록 발생장치(607)는 도 1의 상태 관리부(101)의 기능이 시스템 제어부(608)에 포함될 경우에, 도 1에 도시된 상태 관리부(101)를 제외한 나머지 구성요소로 구성될 수 있다.
- <67> 이에 따라 디스크 구동기는 디스크(601)에 스크래치 또는 지문 또는 먼지와 같은 것이 존재함에 따라 재생되는 데이터에 에러가 포함되어 있어도 도 1에 도시된 바와 같이 동작되는 비트 클록 발생 장치(607)에 의해 좀더 정확하고 안정된 비트 클록을 발생시킬 수 있다. 이에 따라 디코더(606)는 재생되는 데이터에 대한 에러 정정 부담을 줄일 수 있다.
- <68> 도 7은 본 발명에 따른 비트 클록 발생 방법의 동작 흐름 도이다.
- <69> 디지털 신호가 입력되면, 제 701 단계에서 비트 클록 발생장치는 상기 입력된 디지털 신호에서 에지가 검출되었는지 판단한다. 제 701 단계에서 에지가 검출되지 않는 것으로 판단되면, 제 702 단계에서 비트 클록 발생장치는 비트 클록 언 락 상태로 설정한다. 제 703 단계에

서 비트 클록 발생장치는 1채널 비트 단위로 제 1 카운터(103)를 리셋시키면서 비트 클록을 발생시킨다.

<70> 제 704 단계에서 비트 클록 발생장치는 상기 입력된 디지털 신호에서 에지가 검출되지 않은 것으로 판단되면, 제 703 단계로 리턴되어 1채널 비트 단위로 비트 클록을 발생시킨다.

<71> 그러나, 제 701 단계 또는 제 704 단계에서 상기 입력된 디지털 신호에서 에지가 검출된 것으로 판단되면, 제 705 단계에서 비트 클록 발생장치는 비트 클록 언 락상태에서 비트 클록 락 준비 상태로 전환된다.

<72> 이에 따라 제 706 단계에서 제 1 카운터(103)는 리셋되고, 제 707 단계에서 제 1 카운터(103)는 시스템 클록을 카운트한다.

<73> 제 708 단계에서 제 1 카운터(103)의 카운트 값에 따라 제 1 윈도우 신호를 발생하면서 1채널 비트 단위 및 제 1 카운터(103)의 카운트 값에 따라 비트 클록을 발생시킨다. 이 때, 1채널 비트 단위보다 제 1 카운터(103)의 카운트 값이 우선권을 갖는다.

<74> 제 709 단계에서 비트 클록 발생장치는 입력되는 디지털 신호로부터 다시 에지가 검출되었는지 체크한다. 제 709 단계에서 에지가 검출되지 않은 것으로 판단되면, 제 710 단계에서 제 1 카운터(103)의 카운트 값이 N1보다 작은지 체크한다. 제 1 카운터(103)의 카운트 값이 N1보다 작으면, 제 709 단계로 리턴한다.

<75> 그러나, 제 710 단계에서 제 1 카운터(103)의 카운트 값이 N1보다 작지 않으면, 비트 클록 발생장치의 동작은 제 702 단계로 리턴된다.

<76> 제 709 단계에서 에지가 검출된 것으로 판단되면, 비트 클록 발생장치는 제 711 단계에서 검출된 에지가 제 1 윈도우 신호 발생 구간 밖에서 존재하는 지 판단한다. 제 711 단계에서

상기 검출된 에지가 제 1 윈도우 신호 발생 구간내에 존재하는 것으로 판단되면, 비트 클럭 발생장치는 제 712 단계에서 제 1 에지 카운터(105)가 에지 검출을 카운트하도록 하면서 제 1 카운터(103)를 리셋시킨다.

<77> 제 713 단계에서 제 1 에지 카운터(105)의 카운트 값이 $N2$ 보다 작은지를 체크한다. 제 1 에지 카운터(105)의 카운트 값이 $N2$ 보다 작지 않으면, 제 714 단계에서 비트 클럭 발생장치는 비트 클럭 락 준비상태에서 비트 클럭 락 상태로 전환된다.

<78> 제 713 단계에서 제 1 에지 카운터(105)의 카운트 값이 $N2$ 보다 작으면, 비트 클럭 발생장치는 제 718 단계로 진행된다.

<79> 한편, 제 711 단계에서 검출된 에지 신호가 제 1 윈도우 신호 발생 구간내에 존재하지 않는 것으로 판단되면, 제 715 단계에서 비트 클럭 발생장치는 제 2 윈도우 신호가 발생되었는지를 판단한다. 제 2 윈도우 신호가 발생되지 않은 것으로 판단되면, 제 716 단계에서 비트 클럭 발생장치는 제 2 카운터(106)를 리셋시키고, 제 717 단계에서 제 2 카운터(106)의 카운트 값에 따라 제 2 윈도우 신호를 발생시킨다.

<80> 제 718 단계에서 비트 클럭 발생장치는 에지가 검출되었는지 판단한다. 제 718 단계에서 에지가 검출되지 않은 것으로 판단되면, 비트 클럭 발생장치는 제 719 단계에서 제 1 카운터(103)의 카운트 값이 $N1$ 보다 작은지 또는 제 2 카운터(106)의 카운트 값이 $N1$ 보다 작은지를 체크한다. 제 1 카운터(103)의 카운트 값 및 제 2 카운터(106)의 카운트 값이 $N1$ 보다 작지 않은 것으로 판단되면, 비트 클럭 발생장치는 제 702 단계로 리턴된다.

<81> 그러나, 제 1 카운터(103)의 카운트 값 또는 제 2 카운터(106)의 카운트 값이 $N1$ 보다 작으면, 비트 클럭 발생장치는 제 718 단계로 리턴된다.

- <82> 제 715 단계에서 제 2 윈도우 신호가 발생된 것으로 판단되면, 비트 클록 발생장치는 제 720 단계에서 검출된 에지가 제 2 윈도우 신호 발생 구간내에 존재하는 지를 체크한다. 제 720 단계에서 제 2 윈도우 신호 발생 구간내에 존재하지 않는 것으로 판단되면, 비트 클록 발생장치는 제 721 단계에서 검출된 에지를 무시하고, 제 709 단계로 리턴된다.
- <83> 그러나 제 720 단계에서 제 2 윈도우 신호 발생 구간내에 포함된 것으로 판단되면, 제 722 단계에서 비트 클록 발생장치는 제 2 에지 카운터(106)를 카운트하면서 제 2 카운터(106)를 리셋하고, 제 723 단계에서 제 2 에지 카운터(105)의 카운트 값이 $N2$ 보다 작은지를 체크한다. 제 723 단계에서 제 2 에지 카운터(105)의 카운트 값이 $N2$ 보다 작은 것으로 판단되면, 비트 클록 발생장치는 제 718 단계로 리턴된다.
- <84> 그러나 제 723 단계에서 제 2 에지 카운터(108)의 카운트 값이 $N2$ 보다 작지 않은 것으로 판단되면, 비트 클록 발생장치는 제 714 단계에서 비트 클록 락 준비상태에서 비트 클록 락 상태로 전환된다.
- <85> 비트 클록 락 상태로 설정된 후, 제 724 단계에서 비트 클록 발생장치는 1채널 비트 단위와 제 1 카운터(103)의 카운트 값에 따라 비트 클록을 발생시킨다. 이 때, 비트 클록 발생장치는 1채널 비트 단위보다 제 1 카운터(103)의 카운트 값에 우선권을 부여한다.
- <86> 제 725 단계에서 에지가 검출된 것으로 판단되지 않으면, 비트 클록 발생장치는 제 729 단계에서 제 1 카운터(103)의 카운트 값이 $N3$ 보다 작은지 체크한다. 제 729 단계에서 제 1 카운터(103)의 카운트 값이 $N3$ 보다 작지 않으면, 비트 클록 발생장치는 제 725 단계로 리턴한다. 그러나, 제 1 카운터(103)의 카운트 값이 $N3$ 보다 작으면, 비트 클록 발생장치는 제 702 단계로 리턴된다.

<87> 제 725 단계에서 에지가 검출되면, 비트 클록 발생장치는 제 726 단계에서 에지가 제 1 윈도우 신호 구간내에 포함되는지를 체크한다. 제 726 단계에서 검출된 에지가 제 1 윈도우 신호 구간내에 포함되지 않은 것으로 판단되면, 비트 클록 발생장치는 제 727 단계에서 검출된 에지를 무시하고 제 725 단계로 리턴된다.

<88> 그러나, 제 726 단계에서 검출된 에지가 제 1 윈도우 신호 구간내에 포함되는 것으로 판단되면, 비트 클록 발생장치는 제 728 단계에서 제 1 카운터(103)를 리셋하고, 제 724 단계로 리턴되어 비트 클록을 발생시킨다.

<89> 상술한 N1, N2, N3은 시스템 설계 시 결정되는 값으로, 사전에 설정된다.

【발명의 효과】

<90> 상술한 본 발명에 의하면, 디지털 데이터에 에러가 포함되어 있어도, 디지털 데이터의 에지를 검출하기 위한 윈도우 구간을 복수 개로 운영하여 디지털 데이터에 동기된 비트 클록 신호를 정확하게 발생시킴으로써, 상기 비트 클록을 이용하는 시스템내의 신호 처리를 정확하고 안정되게 수행할 수 있다.

<91> 본 발명은 상술한 실시 예에 한정되지 않으며, 본 발명의 사상 내에서 당업자에 의한 변형이 가능함은 물론이다. 따라서, 본 발명에서 권리를 청구하는 범위는 상세한 설명의 범위 내로 정해지는 것이 아니라 후술하는 청구범위로 정해질 것이다.

【특허청구범위】**【청구항 1】**

디지털 신호에 대한 비트 클럭 발생 장치에 있어서,

상기 디지털 신호의 에지를 검출하는 에지 검출부;

제 1 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하는 제 1 에지 카운터;

제 2 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하는 제 2 에지 카운터;

상기 제 1 소정 구간내에서 상기 에지가 검출되면 리셋되어 시스템 클럭을 카운트하는 제 1 카운터;

상기 제 1 에지 카운터의 카운트 값과 제 2 에지 카운터의 카운트 값중 하나의 카운트 값이 제 1 소정 값에 도달하면, 상기 제 1 카운터의 카운트 값과 1 채널 비트 단위중 하나에 의해 비트 클럭을 발생하는 비트 클럭 발생부를 포함하는 비트 클럭 발생장치.

【청구항 2】

제 1 항에 있어서, 상기 제 1 에지 카운터는 상기 제 1 소정 구간 밖에서 에지가 검출되면, 검출된 에지를 무시하고, 상기 제 2 에지 카운터는 상기 제 2 소정 구간 밖에서 에지가 검출되면, 검출된 에지를 무시하는 것을 특징으로 하는 비트 클럭 발생장치.

【청구항 3】

제 1 항에 있어서, 상기 비트 클럭 발생부는 상기 1 채널 비트 단위보다 상기 제 1 카운터의 카운트 값에 우선권을 부여하여 비트 클럭을 발생하는 것을 특징으로 하는 비트 클럭 발생장치.

【청구항 4】

제 1 항에 있어서, 상기 비트 클록 발생부는 상기 제 1 카운터가 리셋되면 상기 1채널 비트 단위에 관계없이 비트 클록을 발생하는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 5】

제 1 항에 있어서, 상기 제 1 소정 구간은 상기 제 1 카운터의 카운트 값에 의존하여 설정되는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 6】

제 5 항에 있어서, 상기 에지 검출부에서 상기 디지털 신호의 첫 번째 에지가 검출되면, 상기 제 1 카운터는 리셋되어 상기 시스템 클록을 카운트하고, 상기 제 1 소정 구간내에서 에지가 검출될 때마다 상기 제 1 카운터는 리셋되는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 7】

제 6 항에 있어서, 상기 비트 클록 발생장치는 상기 제 1 카운터의 카운트 값에 따른 제 1 윈도우 신호를 상기 제 1 소정 구간을 나타내는 신호로서 발생하고, 발생된 상기 제 1 윈도우 신호를 상기 제 1 에지 카운터로 출력하는 제 1 윈도우 신호 발생부를 더 포함하는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 8】

제 7 항에 있어서, 상기 비트 클록 발생장치는 상기 첫 번째 에지가 검출된 후, 상기 제 1 윈도우 신호가 발생하는 구간 밖의 구간에서 첫 번째 에지가 검출되면 리셋되어 상기 시스

템 클록을 카운트하고, 상기 제 2 소정 구간내에서 상기 에지가 검출될 때마다 리셋되는 제 2 카운터를 더 포함하는 비트 클록 발생장치.

【청구항 9】

제 8 항에 있어서, 상기 제 2 소정 구간은 상기 제 2 카운터의 카운트 값에 의존하여 설정되는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 10】

제 8 항에 있어서, 상기 비트 클록 발생장치는, 상기 제 2 카운터의 카운트 값에 따른 제 2 윈도우 신호를 상기 제 2 소정 구간을 나타내는 신호로서 발생하고, 발생된 상기 제 2 윈도우 신호를 상기 제 2 에지 카운터로 출력하는 제 2 윈도우 신호 발생부를 더 포함하는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 11】

제 8 항에 있어서, 상기 비트 클록 발생장치는 상기 제 1 카운터, 상기 제 2 카운터, 상기 에지 검출부, 상기 제 1 에지 카운터 및 상기 제 2 에지 카운터의 출력을 모니터링하여 상기 비트 클록 발생장치의 상태를 관리하는 상태 관리부를 더 포함하는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 12】

제 11 항에 있어서, 상기 상태는 비트 클록 언 락 상태, 비트 클록 락 준비 상태 및 비트 클록 락 상태중 한 상태로 설정되는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 13】

제 12 항에 있어서, 상기 상태 관리부는 상기 에지 검출부에서 입력되는 상기 디지털 신호에서 첫 번째 에지를 검출하지 못하거나, 상기 비트 클록 락 준비 상태에서 상기 제 1 카운터의 카운트 값과 제 2 카운터의 카운트 값중 어느 하나가 제 2 소정 값에 도달하거나, 상기 비트 클록 락 상태에서 상기 제 1 카운터의 카운트 값이 제 3 소정 값에 도달하면, 상기 비트 클록 발생장치를 상기 비트 클록 언 락 상태로 설정하는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 14】

제 12 항에 있어서, 상기 상태 관리부는 상기 비트 클록 언 락 상태에서 상기 에지 검출부에서 첫 번째 에지가 검출되면, 상기 비트 클록 발생장치를 비트 클록 락 준비 상태로 설정하고, 상기 제 1 에지 카운터와 제 2 에지 카운터의 카운트 값중 어느 하나가 상기 제 1 소정 값에 도달하면, 상기 비트 클록 발생장치를 비트 클록 락 상태로 설정하는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 15】

제 14 항에 있어서, 상기 비트 클록 락 준비 상태에서 상기 비트 클록 발생부는 상기 제 1 카운터의 카운트 값과 1채널 비트 단위중 하나에 의해 비트 클록을 발생하는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 16】

제 12 항에 있어서, 상기 비트 클록 언 락 상태에서, 상기 비트 클록 발생부는 1채널 비트 단위로 비트 클록을 발생시키는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 17】

제 1 항에 있어서, 상기 비트 클록 발생장치는 상기 제 1 에지 카운터와 제 2 에지 카운터의 카운트 값중 하나의 카운트 값이 상기 제 1 소정 값에 도달하는지 모니터링 하고, 상기 제 1 소정값에 도달하면 상기 비트 클록 발생장치는 비트 클록 락 상태로 설정하는 상태 관리부를 더 포함하는 비트 클록 발생장치.

【청구항 18】

디스크 구동기에서 재생되는 디지털 데이터에 대한 비트 클록 발생장치에 있어서,

상기 디지털 신호의 에지를 검출하는 에지 검출부;

상기 에지 검출부에서 상기 디지털 신호의 첫 번째 에지가 검출된 후, 제 1 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하는 제 1 에지 카운터;

상기 첫 번째 에지가 검출된 후, 상기 제 1 소정 구간 밖의 구간에서 첫 번째 에지가 검출된 후, 제 2 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하는 제 2 에지 카운터;

상기 제 1 에지 카운터와 상기 제 2 에지 카운터의 카운트 값중 하나의 카운트 값이 제 1 소정 값에 도달하여 상기 비트 클록 발생장치가 비트 클록 락 상태로 설정되면, 상기 제 1 카운터의 카운트 값과 1채널 비트 단위중 하나에 의해 비트 클록을 발생하는 비트 클록 발생부를 포함하는 비트 클록 발생장치.

【청구항 19】

제 18 항에 있어서, 상기 비트 클록 발생부는 1채널 비트 단위보다 상기 제 1 카운터의 카운트 값에 우선권을 부여하여 비트 클록을 발생시키는 것을 특징으로 하는 비트 클록 발생장치.

【청구항 20】

디지털 신호에 대한 비트 클록 발생 방법에 있어서,

상기 디지털 신호의 에지를 검출하는 단계;

제 1 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하여 제 1 에지 카운트 값을 생성하는 단계;

제 2 소정 구간내에서 상기 에지가 검출되는 횟수를 카운트하여 제 2 에지 카운트 값을 생성하는 단계;

상기 제 1 에지 카운트 값과 제 2 에지 카운트 값중에 하나의 카운트 값이 제 1 소정 값에 도달하면, 비트 클록 락 상태를 설정하는 단계;

상기 비트 클록 락 상태에서 상기 제 1 소정 구간내에서 상기 에지가 검출될 때마다 리셋되어 시스템 클록을 카운트한 값과 1채널 비트 단위중 하나에 의해 비트 클록을 발생하는 단계를 포함하는 비트 클록 발생 방법.

【청구항 21】

제 20 항에 있어서, 상기 제 1 소정 구간은 첫 번째 에지가 검출될 때, 리셋되어 시스템 클록을 카운트한 제 1 카운트 값에 의해 발생하는 제 1 윈도우 신호에 의해 설정되고, 상기 제 1 카운트 값은 상기 제 1 소정 구간내에서 상기 에지가 검출될 때마다 리셋되는 것을 특징으로 하는 비트 클록 발생 방법.

【청구항 22】

제 21 항에 있어서, 상기 제 2 소정 구간은 상기 첫 번째 에지가 검출된 후, 상기 제 1 소정 구간 밖에서 처음으로 에지가 될 때 리셋되어 시스템 클록을 카운트한 제 2 카운트 값에

따라 발생하는 제 2 윈도우 신호에 의해 설정되고, 상기 제 2 카운트 값은 상기 제 2 소정 구간내에서 상기 에지가 검출될 때마다 리셋되는 것을 특징으로 하는 비트 클럭 발생 방법.

【청구항 23】

제 20 항에 있어서, 상기 비트 클럭 발생 방법은, 상기 제 1 소정 구간과 상기 제 2 소정 구간 밖에서 검출된 에지는 무시하는 단계를 더 포함하는 비트 클럭 발생 방법.

【청구항 24】

제 20 항에 있어서, 상기 비트 클럭 발생 단계는 상기 1 채널 비트 단위보다 상기 시스템 클럭을 카운트 한 값에 우선권을 부여하여 비트 클럭을 발생하는 것을 특징으로 하는 비트 클럭 발생 방법.

【청구항 25】

디지털 신호에 대한 비트 클럭 발생 방법에 있어서,

비트 클럭 언 락 상태에서, 1채널 비트 단위로 비트 클럭을 발생하는 단계;

상기 디지털 신호의 첫 번째 에지가 검출되면, 상기 비트 클럭 언 락 상태를 비트 클럭 락 준비 상태로 전환하는 단계;

상기 비트 클럭 락 준비상태에서, 제 1 소정 구간내에서 상기 디지털 신호에서 검출되는 에지 횟수를 카운트하여 제 1 에지 카운트 값을 생성하는 단계;

상기 비트 클럭 락 준비 상태에서 제 2 소정 구간내에서 상기 디지털 신호에서 검출되는 에지 횟수를 카운트하여 제 2 에지 카운트 값을 생성하는 단계;

상기 제 1 에지 카운트 값과 제 2 에지 카운트 값중 하나의 카운트 값이 제 1 소정의 값에 도달하면, 상기 비트 클럭 락 준비상태에서 비트 클럭 락 상태로 전환하는 단계;

상기 비트 클록 락 상태에서, 상기 제 1 소정 구간내에서 에지가 검출될 때마다 리셋되어 시스템 클록을 카운트 한 값과 1채널 비트 단위중 하나에 의해 비트 클록을 발생하는 단계를 포함하는 비트 클록 발생 방법.

【청구항 26】

제 25 항에 있어서, 상기 비트 클록 발생 방법은, 검출된 에지가 상기 제 1 소정 구간내 또는 상기 제 2 소정 구간내에 포함되지 않으면, 상기 검출된 에지를 무시하는 단계를 더 포함하는 비트 클록 발생 방법.

【청구항 27】

제 25 항에 있어서, 상기 비트 클록 발생 방법은, 상기 제 1 에지 카운트 값과 상기 제 2 에지 카운트 값이 모두 상기 제 1 소정 값에 도달하지 않으면, 상기 비트 클록 락 준비 상태를 유지하면서 상기 제 1 소정 구간내에서 에지가 검출될 때마다 리셋되어 시스템 클록을 카운트 한 값과 상기 1채널 비트 단위중 하나에 의해 비트 클록을 발생하는 단계를 더 포함하는 비트 클록 발생 방법.

【청구항 28】

제 25 항에 있어서, 상기 제 1 소정 구간은 상기 디지털 신호의 첫 번째 에지가 검출될 때 리셋되어 시스템 클록을 카운트한 제 1 카운트 값에 의해 발생하는 제 1 윈도우 신호에 의해 설정되고, 상기 제 1 카운트 값은 상기 제 1 소정 구간내에서 에지가 검출될 때마다 리셋되어 상기 시스템 클록을 카운트하는 것을 특징으로 하는 비트 클록 발생 방법.

【청구항 29】

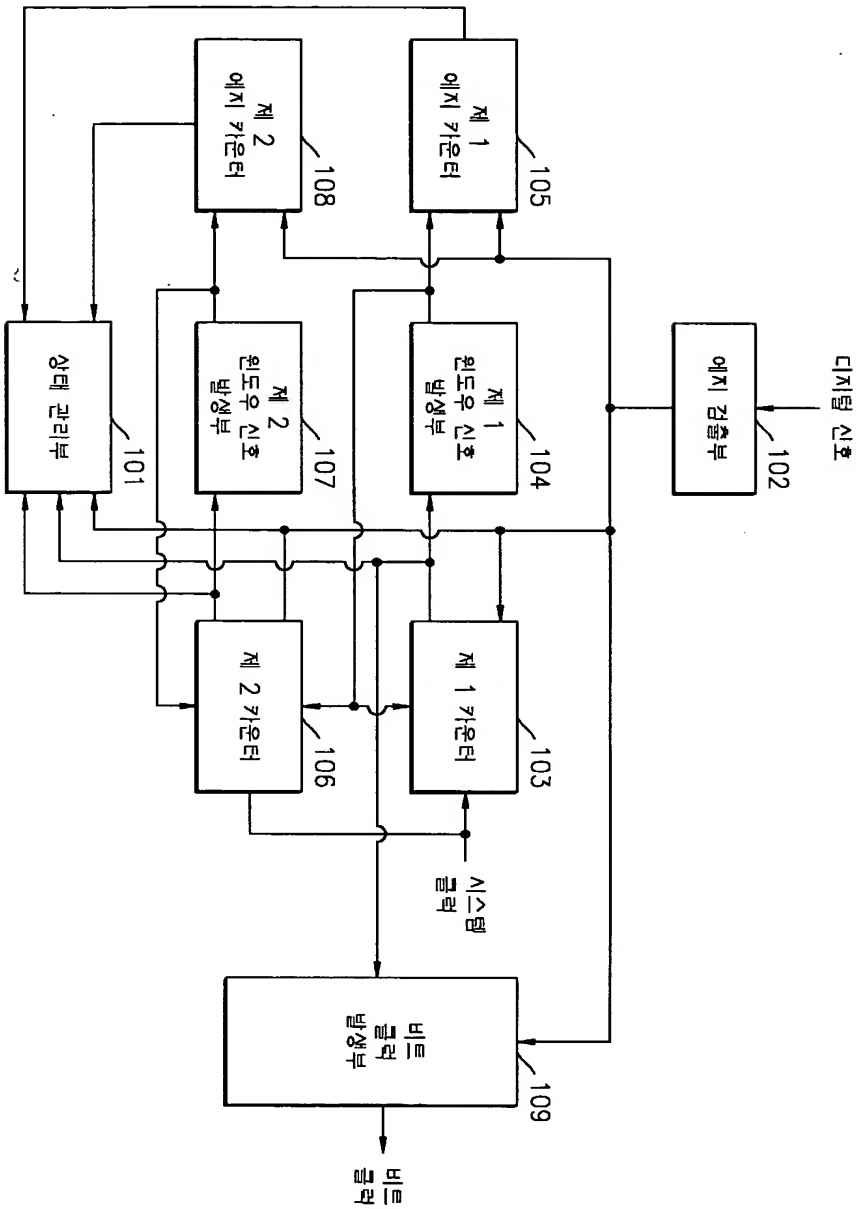
제 28 항에 있어서, 상기 제 2 소정 구간은 상기 디지털 신호의 첫 번째 에지가 검출된 후, 상기 제 1 소정 구간 밖에서 첫 번째 에지가 검출될 때 리셋되어 시스템 클록을 카운트하는 제 2 카운트 값에 의해 발생하는 제 2 윈도우 신호에 의해 설정되고, 상기 제 2 카운트 값은 상기 제 2 소정 구간내에서 에지가 검출될 때마다 리셋되어 상기 시스템 클록을 카운트하는 것을 특징으로 하는 비트 클록 발생 방법.

【청구항 30】

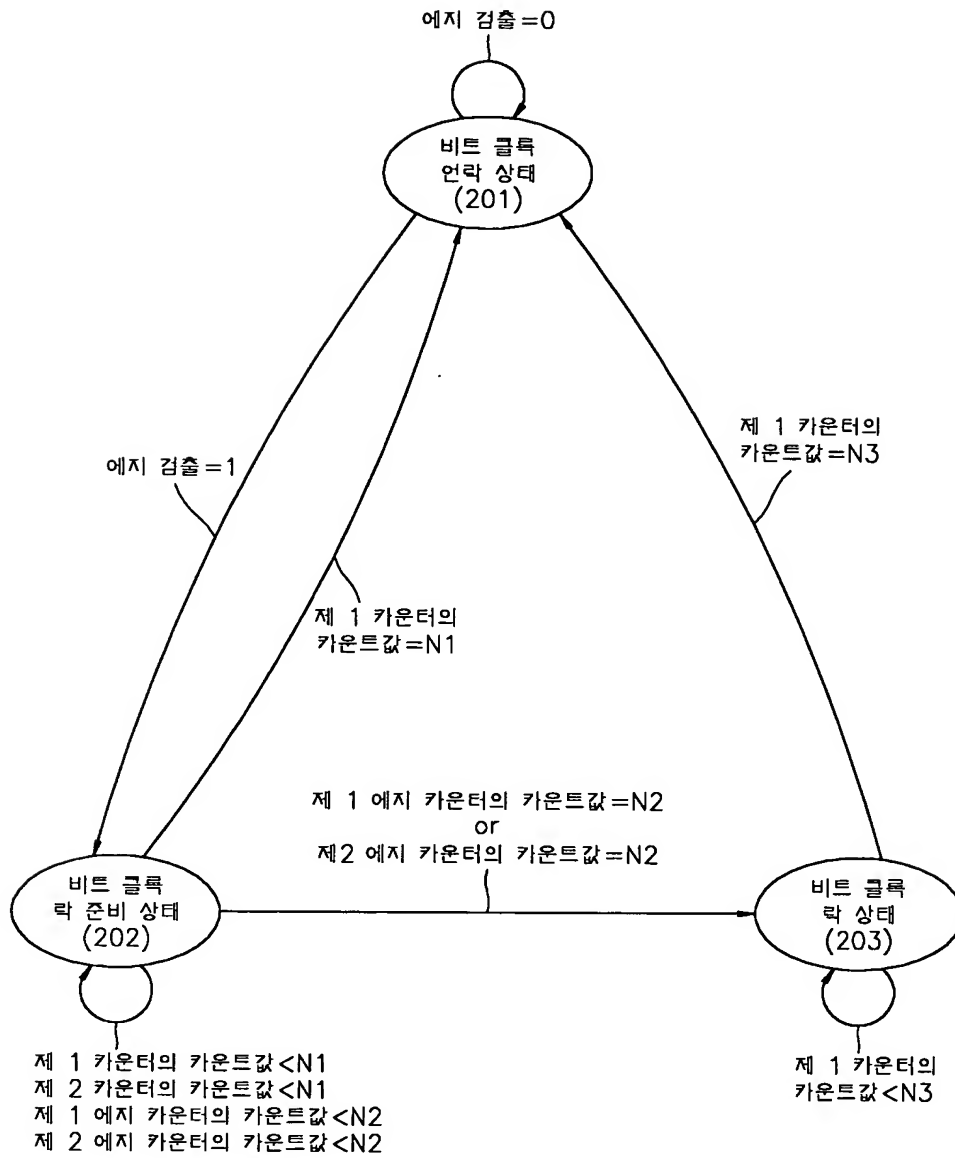
제 25 항에 있어서, 상기 비트 클록을 발생하는 단계는 상기 1 채널 비트 단위보다 상기 시스템 클록을 카운트한 값에 우선권을 부여하여 비트 클록을 발생하는 것을 특징으로 하는 비트 클록 발생 방법.

【도면】

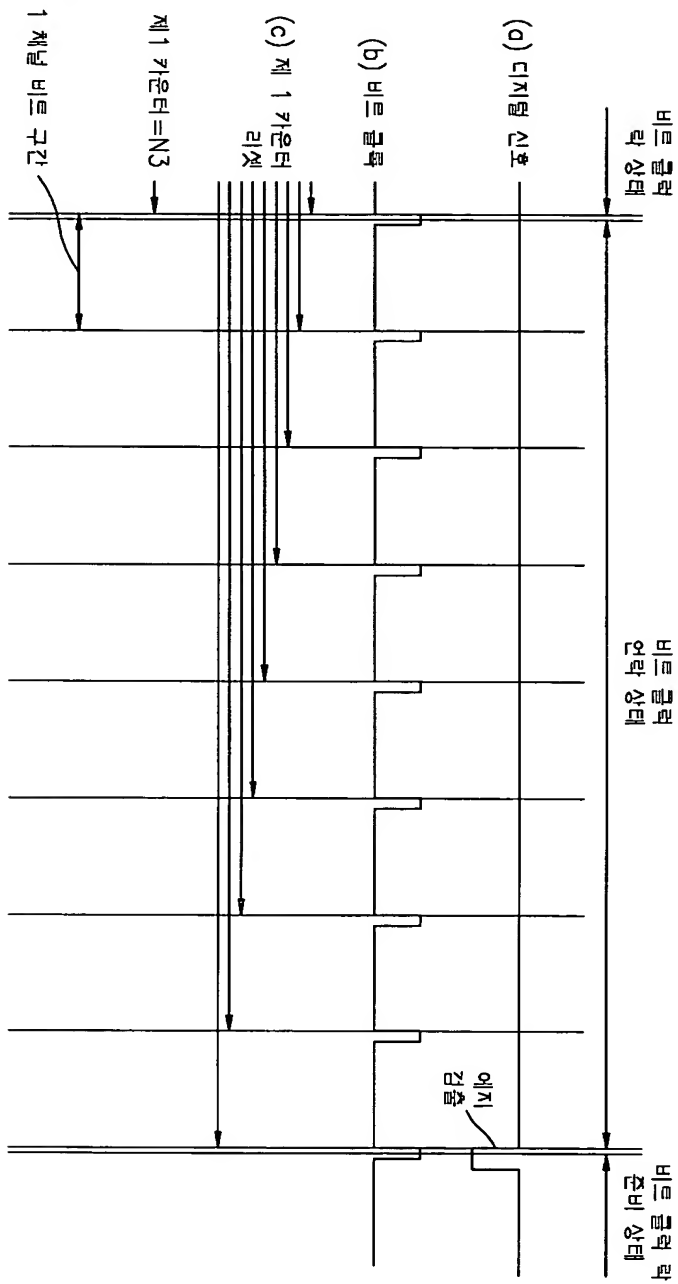
【도 1】



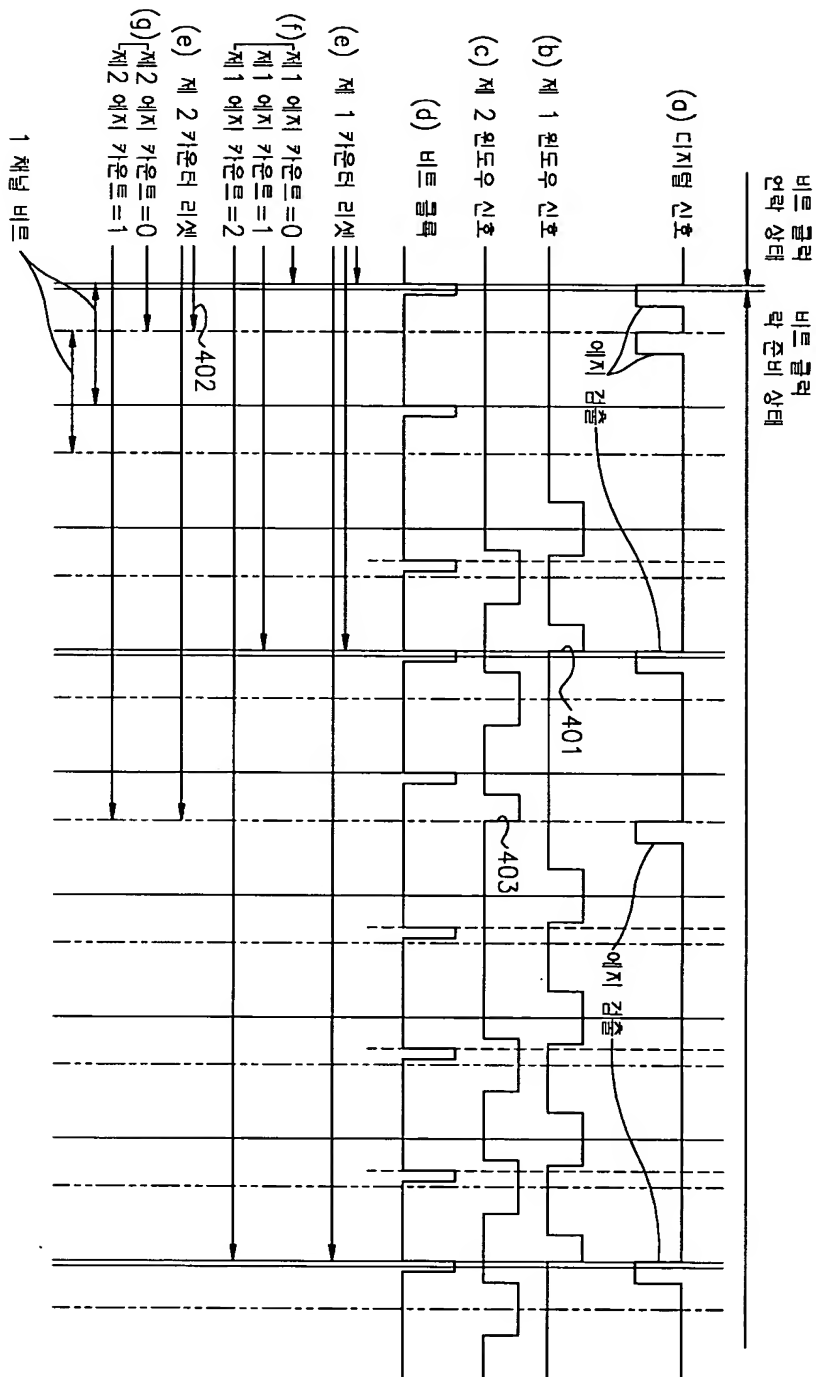
【도 2】



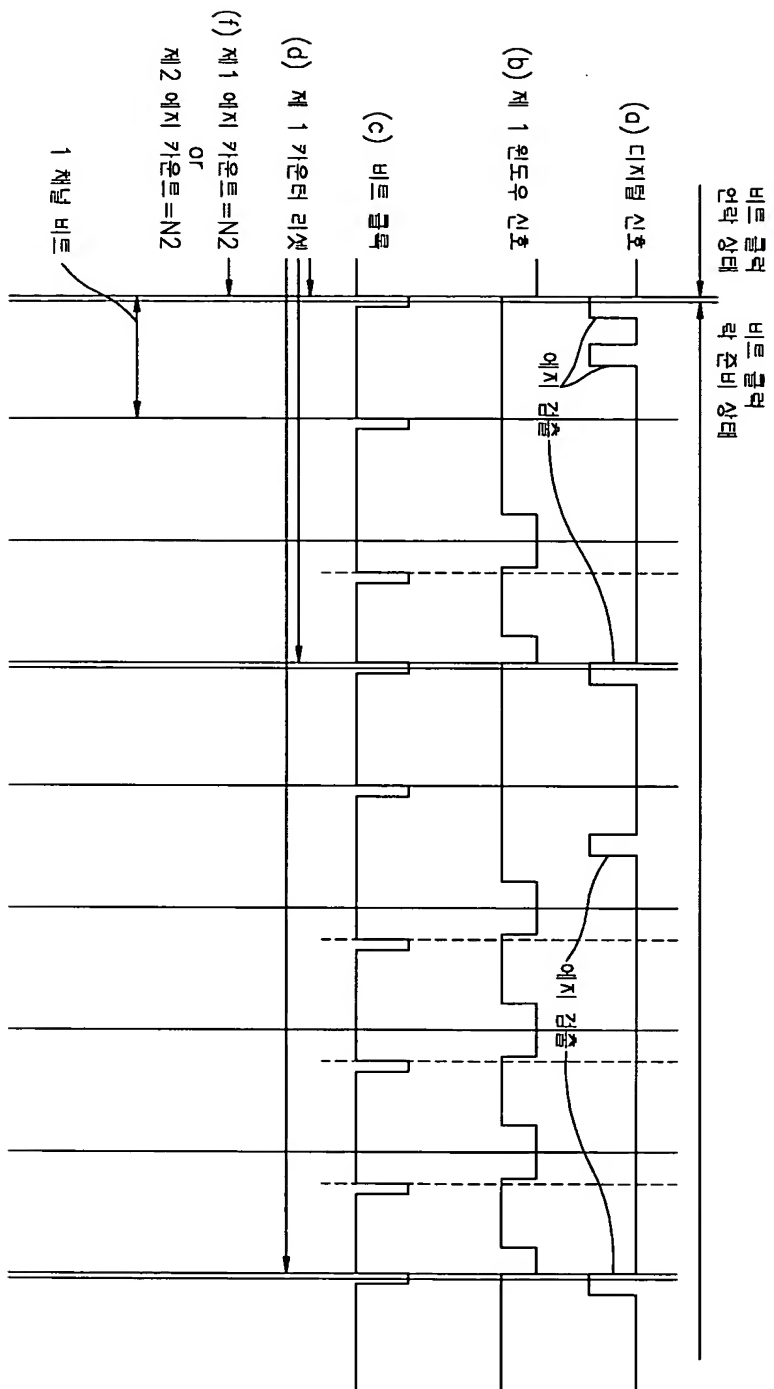
【도 3】



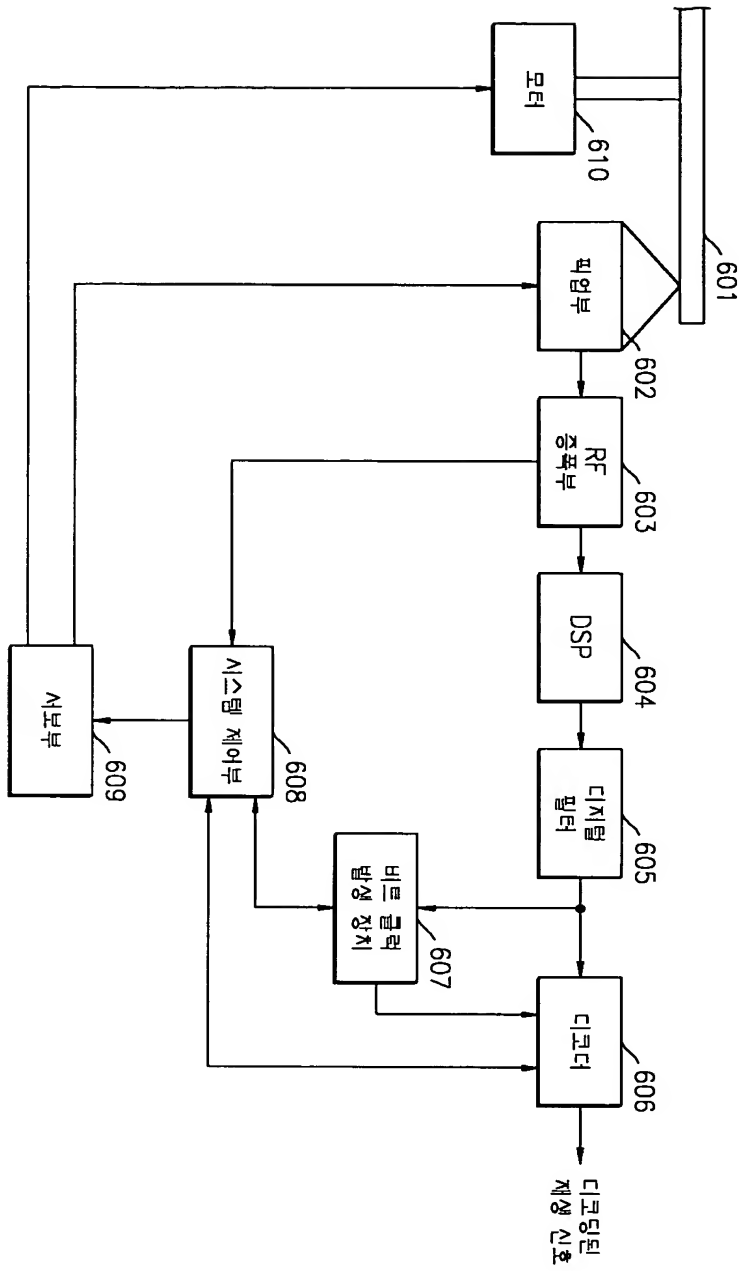
【도 4】



【도 5】

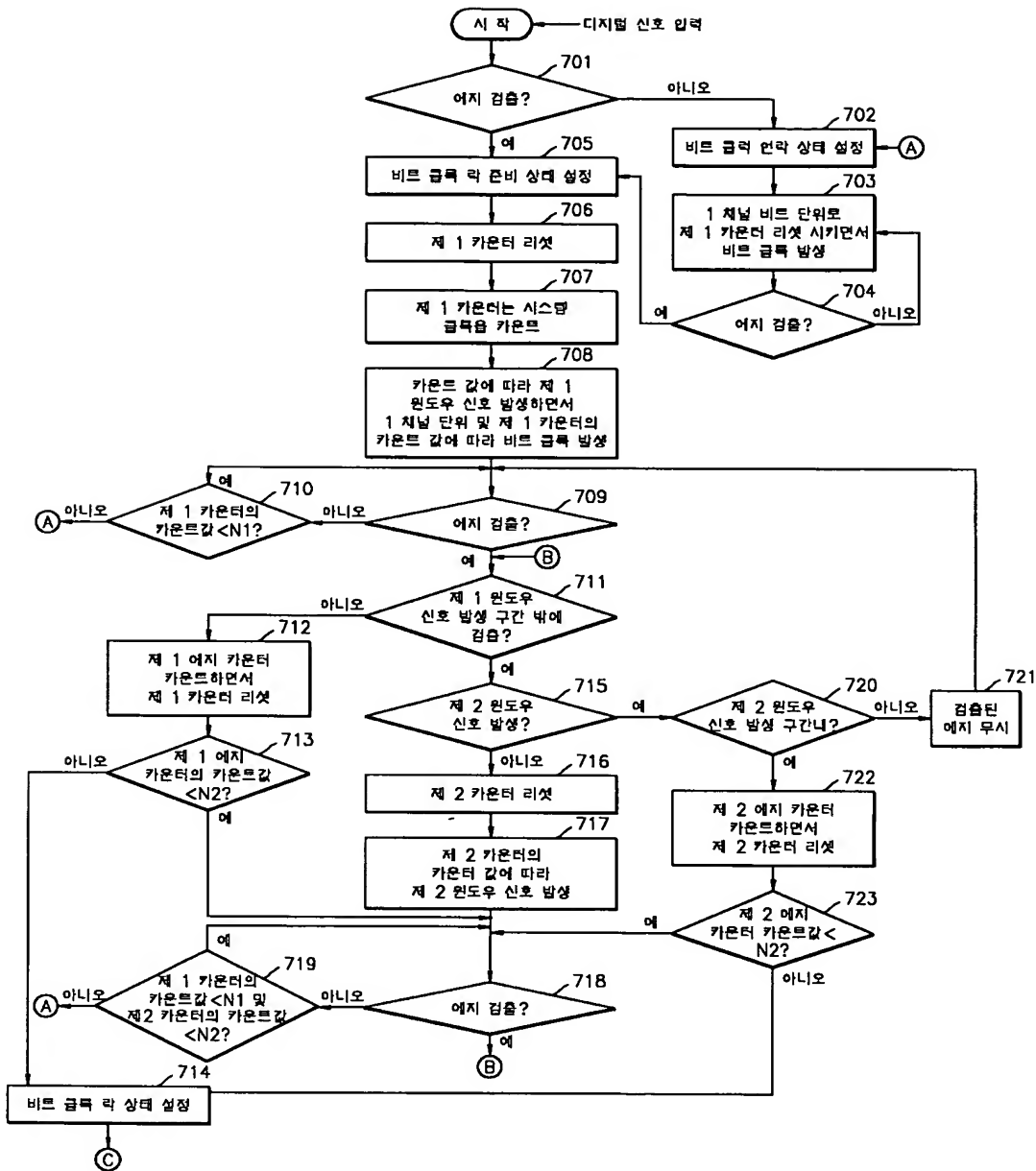


【도 6】





【도 7a】



【도 7b】

